

503P0991W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-350119

(P 2 0 0 0 - 3 5 0 1 1 9 A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H04N 5/50		H04N 5/50	A 5C020
H03L 7/22		H03L 7/22	5C026
H04N 5/04		H04N 5/04	Z 5J106

審査請求 未請求 請求項の数10 O L (全7頁)

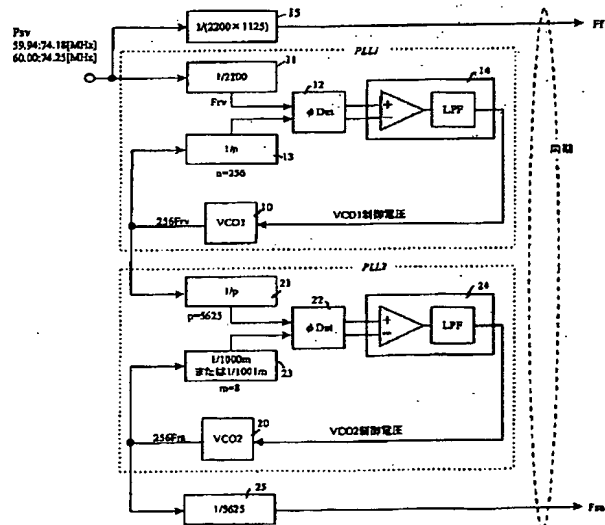
(21) 出願番号	特願平11-154152	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年6月1日 (1999. 6. 1)	(72) 発明者	滝沢 浩 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74) 代理人	100090273 弁理士 國分 孝悦
		Fターム(参考)	5C020 AA05 AA35 AA40 CA13 CA15 5C026 AA05 AA13 AA14 AA17 5J106 PP03 QQ05 QQ09 RR00

(54) 【発明の名称】 クロック同期装置及びコンピュータ読み取り可能な記憶媒体

(57) 【要約】 (修正有)

【課題】 HDTV映像・音声処理機器において、映像及び音声処理用クロックとを短時間で同期させる。

【解決手段】  $F_{sv}$  を分周して  $60.00\text{ Hz}$  又は  $59.94\text{ Hz}$  のクロックを出力する分周回路15と、そのフィールド周波数  $F_f$  の映像信号に対するサンプリングクロック  $F_{sv}$  の分周回路11と、 $F_f = 60.00\text{ Hz}$  のとき、分周回路11の出力の  $n$  倍で且つ音声信号処理クロック周波数  $NF_{sa}$  を  $1/1000\text{ m}$  分周した周波数の  $p$  倍となり、 $F_f = 59.94\text{ Hz}$  では  $NF_{sa}$  を  $1/1001\text{ m}$  分周した周波数の  $p$  倍となる周波数を出力するVCO10と、その発振出力を  $1/n$  分周する分周回路13とを有するPLL1と、その発振出力を  $1/p$  分周する分周回路21と、 $NF_{sa}$  を中心周波数とするVCO20とを有するPLL2と、VCO2の出力を分周し分周回路15の出力と同期した音声サンプリングクロック  $F_{sa}$  を出力する分周回路25とで構成される。



## 【特許請求の範囲】

【請求項1】 選択的に入力される第1又は第2の周波数を有するクロックを第1の分周比で分周する第1の分周手段と、

第1の中心周波数で発振する第1の電圧制御発振手段と、

上記第1の電圧制御発振手段の発振出力を第2の分周比で分周する第2の分周手段と、

上記第1、第2の分周手段の分周出力を位相比較して第1の誤差信号を出力する第1の比較手段と、

上記第1の誤差信号を平滑しその平滑出力で上記第1の電圧制御発振手段の発振周波数を制御する第1の平滑手段と、

上記第1の電圧制御発振手段の発振出力を第3の分周比で分周する第3の分周手段と、

第2の中心周波数で発振する第2の電圧制御発振手段と、

上記第2の電圧制御発振手段の発振出力を第4の分周比で分周する第4の分周手段と、

上記第3、第4の分周手段の分周出力を位相比較して第2の誤差信号を出力する第2の比較手段と、

上記第2の誤差信号を平滑しその平滑出力で上記第2の電圧制御発振手段の発振周波数を制御する第2の平滑手段とを設けたことを特徴とするクロック同期装置。

【請求項2】 上記入力されるクロックを第5の分周比で分周する第5の分周手段と、

上記第2の電圧制御発振手段の発振出力を第6の分周比で分周して上記第5の分周手段の分周出力と同期したクロックを出力する第6の分周手段とを設けたことを特徴とする請求項1記載のクロック同期装置。

【請求項3】 上記第1、第2の周波数とは、HDTV方式におけるフィールド周波数の異なる映像信号のサンプリングクロック周波数であり、上記第5の分周手段の分周出力は、上記異なるフィールド周波数を有するクロックであり、上記第6の分周手段の分周出力は、上記映像信号サンプリングクロックと同期した音声信号サンプリングクロックであることを特徴とする請求項2記載のクロック同期装置。

【請求項4】 60.00Hz又は59.94Hzのフィールド周波数Ffを有する映像信号を処理するための選択的に入力される74.25MHz又は74.25/1.001MHzの周波数を有する映像信号サンプリングクロックを所定の分周比で分周する第1の分周手段と、

Ff=60.00Hzのとき、上記第1の分周手段の出力周波数のn倍で且つ音声信号処理用クロック周波数を1/1000m分周した周波数のp倍となり、Ff=59.94Hzのとき、上記第1の分周手段の出力周波数のn倍で且つ上記音声信号処理用クロック周波数を1/1001m分周した周波数のp倍となる発振周波数を

力する第1の電圧制御発振手段と、

上記第1の電圧制御発振手段の出力周波数を1/n分周する第2の分周手段と、

上記第1、第2の分周手段の分周出力の位相を比較して第1の誤差信号を出力する第1の位相比較手段と、

上記第1の誤差信号平滑しその平滑出力で上記第1の電圧制御発振手段の発振周波数を制御する第1の平滑手段と、

上記第1の電圧制御発振手段の出力を1/p分周する第3の分周手段と、

上記音声処理用クロック周波数を中心周波数として発振する第2の電圧制御発振手段と、

上記第2の電圧制御発振手段の発振出力を上記映像フィールド周波数Ffに依じて1/1000m又は1/1001m分周する第4の分周手段と、

上記第3、第4の分周手段の分周出力を位相比較して第2の誤差信号を出力する第2の位相比較手段と、

上記第2の誤差信号を平滑しその平滑出力で上記第2の電圧制御発振手段の発振周波数を制御する第2の平滑手段とを設けたことを特徴とするクロック同期装置。

【請求項5】 上記入力される74.25MHz又は74.25/11001MHzの周波数を有する映像信号サンプリングクロックを所定の分周比で分周して上記60.00Hz又は59.94Hzのフィールド周波数を有するクロックを出力する第5の分周手段と、

上記第2の電圧制御発振手段の発振出力を所定の分周比で分周して上記第5の分周手段の分周出力と同期した音声信号サンプリングクロックを出力する第6の分周手段とを設けたことを特徴とする請求項4記載のクロック同期装置。

【請求項6】 選択的に入力される第1又は第2の周波数を有するクロックを第1の分周比で分周する第1の分周処理と、

第1の中心周波数で発振する第1の電圧制御発振処理と、

上記第1の電圧制御発振処理の発振出力を第2の分周比で分周する第2の分周処理と、

上記第1、第2の分周処理の分周出力を位相比較して第1の誤差信号を出力する第1の比較処理と、

上記第1の誤差信号を平滑しその平滑出力で上記第1の電圧制御発振処理の発振周波数を制御する第1の平滑処理と、

上記第1の電圧制御発振処理の発振出力を第3の分周比で分周する第3の分周処理と、

第2の中心周波数で発振する第2の電圧制御発振処理と、

上記第2の電圧制御発振処理の発振出力を第4の分周比で分周する第4の分周処理と、

上記第3、第4の分周処理の分周出力を位相比較して第2の誤差信号を出力する第2の比較処理と、

上記第2の誤差信号を平滑しその平滑出力で上記第2の電圧制御発振手段の発振周波数を制御する第2の平滑処理とを実行するためのプログラムを記憶したコンピュータ読み取り可能な記憶媒体。

【請求項7】 上記入力されるクロックを第5の分周比で分周する第5の分周処理と、

上記第2の電圧制御発振処理の発振出力を第6の分周比で分周して上記第5の分周処理の分周出力と同期したクロックを出力する第6の分周処理とを実行するためのプログラムを記憶したことを特徴とする請求項6記載のコンピュータ読み取り可能な記憶媒体。

【請求項8】 上記第1、第2の周波数とは、HDTV方式におけるフィールド周波数の異なる映像信号サンプリングクロック周波数であり、上記第5の分周処理の分周出力は、上記映像信号の異なるフィールド周波数を有するクロックであり、上記第6の分周手段の分周出力は、上記映像信号サンプリングクロックと同期した音声信号サンプリングクロックであることを特徴とする請求項7記載のコンピュータ読み取り可能な記憶媒体。

【請求項9】 60.00Hz又は59.94Hzのフィールド周波数Ffを有する映像信号を処理するための選択的に入力される74.25MHz又は74.25/1.001MHzの周波数を有する映像信号サンプリングクロックを所定の分周比で分周する第1の分周処理と、

$Ff = 60.00\text{Hz}$  のとき、上記第1の分周処理の出力周波数のn倍で且つ音声信号処理クロック周波数を $1/1000\text{m}$ 分周した周波数のp倍となり、 $Ff = 59.94\text{Hz}$  のとき、上記第1の分周処理の出力周波数のn倍で且つ上記音声信号処理クロック周波数を $1/1001\text{m}$ 分周した周波数のp倍となる発振周波数を出力する第1の電圧制御発振処理と、

上記第1の電圧制御発振処理の出力周波数を $1/n$ 分周する第2の分周処理と、

上記第1、第2の分周処理の分周出力の位相を比較して第1の誤差信号を出力する第1の位相比較処理と、

上記誤差信号平滑しその平滑出力で第1の電圧制御発振処理の発振周波数を制御する第1の平滑処理と、

上記第1の電圧制御発振処理の出力を $1/p$ 分周する第3の分周処理と、

上記音声処理クロック周波数を中心周波数として発振する第2の電圧制御発振処理と、

上記第2の電圧制御発振処理の発振出力を上記映像フィールド周波数Ffに応じて $1/1000\text{m}$ 又は $1/1001\text{m}$ 分周する第4の分周処理と、

上記第3、第4の分周処理の分周出力を位相比較して第2の誤差信号を出力する第2の位相比較処理と、

上記第2の誤差信号を平滑化し、その平滑出力で上記第2の電圧制御発振処理の発振周波数を制御する第2の平滑処理とを実行するためのプログラムを記憶したことを

特徴とするコンピュータ読み取り可能な記憶媒体。

【請求項10】 上記入力される74.25MHz又は $74.25/1.001\text{MHz}$ の周波数を有する映像信号サンプリングクロックを所定の分周比で分周して上記60.00Hz又は59.94Hzのフィールド周波数を有するクロックを出力する第5の分周処理と、

上記第2の電圧制御発振処理の発振出力を所定分周比で分周して上記第5の分周処理の分周出力と同期した上記音声信号サンプリングクロックを出力する第6の分周処理とを実行するためのプログラムを記憶したことを特徴とする請求項9記載のコンピュータ読み取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、HDTVの映像音声処理機器の60.00Hz及び59.94Hzの両映像フィールド周波数と同期関係を持たせた音声信号処理を行うために、映像フィールド周波数に音声処理用クロックを同期させる場合等に用いて好適なクロック同期装置及びそれに用いられるコンピュータ読み取り可能な記憶媒体に関するものである。

【0002】

【従来の技術】 HDTV方式のスタジオ規格であるSMPTE240MやBTAS-001などには、1125/59.94システムが併記され、HDTVの映像処理機器は、60.00Hz及び59.94Hzの両映像フィールド周波数Ffで動作することが求められている。また、音声処理機能を併せ持つ映像処理機器においては、音声サンプリング周波数FsaのN倍の音声処理用クロック周波数（例えば $NFsa = 256Fsa$ ）と、上記映像フィールド周波数Ffとが同期していることがハードの小型化のためには望ましく、特に伝送機器では、複数の基準周波数を伝送する必要がないので有利である。

【0003】 通常のHDTV映像処理機器では、映像サンプリング周波数Fsvである74.25MHz（Ff:60Hz用）又は $74.25/1.001\text{MHz}$ （Ff:59.94Hz用）を出力する電圧制御発振器を備え、外部から入力されるHDTV同期信号に電圧制御発振器を同期させて、その出力を映像処理用クロックとして使用する。映像フレーム周波数は、Fsvを（ $2200 \times 1125$ ）分周したもので、映像フィールド周波数Ffはその2倍である。つまり、FsvとNFsaとを同期させることによって、FfとFsaとが同期することになる。

【0004】 このような同期関係を得るための従来のフェイズロックドループ回路（PLL回路）の構成例を図2に示す。ここでは、 $Fsa = 48\text{KHz}$ 、音声処理用クロック周波数 $= 12.288\text{MHz}$ （ $256Fsa$ ）としている。図2において、 $Ff = 59.94\text{Hz}$ の場

合に入力される  $F_{sv} = 74.25 / 1.001 (= 74.18)$  MHz は、分周回路 52 により  $1 / 1546875$  分周され、音声処理用クロックを発生する電圧制御発振器 55 (以下、VCO3 という) の出力  $12.288$  MHz ( $256 F_{sa}$ ) は、分周回路 53 により  $1 / 256256$  分周され、それぞれ比較周波数である  $48 / 1.001$  Hz となり、位相比較器 56 に入力される。

【0005】位相比較器 56 では、二つの比較周波数を  $1.001 / 48$  sec 周期で位相誤差を検出し、位相誤差信号を周波数制御回路 57 に出力する。周波数制御回路 57 では、上記位相誤差信号を増幅し、ループフィルタ (LPF) で平滑した後、上記 VCO3 に帰還して発振周波数を制御することにより PLL はロックする。

【0006】また、上記入力  $F_{sv}$  を分周回路 51 で ( $2200 \times 1125 / 2$ ) 分周することにより、映像フィールド周波数  $F_f = 59.94$  Hz が得られ、VCO3 出力を分周回路 54 で  $256$  分周することにより、 $F_{sa} = 48$  KHz を得ることができる。ここで、 $F_{sv}$  と  $256 F_{sa}$  (VCO3 出力) とは、PLL によっ

【0007】

【発明が解決しようとする課題】図 2 において、 $F_f = 60.00$  Hz の場合は、入力  $F_{sv}$  としての  $74.25$  MHz は、位相比較器 56 に対してもう少し高い比較周波数を選択可能であるが、PLL 内の帰還ループ回路を共通化するためには、極端に高い比較周波数を選ぶことはできず、同じ分周比であれば、位相比較器 56 への比較周波数は  $48.00$  Hz となる。

【0008】しかしながら、PLL を安定に動作させるためには、周波数制御回路 57 のループフィルタを  $48$  Hz で十分減衰するように設定し、ループ利得を持つ周波数域はさらに低周波域に設定する必要がある、上記の比較周波数では、短時間で PLL が引き込むことを期待することはできない。

【0009】本発明は、上記の問題を解決するために成されたもので、PLL 回路により映像サンプリングクロックと音声処理用クロックとを短時間でロックさせることができるようにすることを目的としている。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明によるクロック同期装置においては、選択的に入力される第 1 又は第 2 の周波数を有するクロックを第 1 の分周比で分周する第 1 の分周手段と、第 1 の中心周波数で発振する第 1 の電圧制御発振手段と、上記第 1 の電圧制御発振手段の発振出力を第 2 の分周比で分周する第 2 の分周手段と、上記第 1、第 2 の分周手段の分周出力を位相比較して第 1 の誤差信号を出力する第 1 の比較手段と、上記第 1 の誤差信号を平滑しその平滑出力

で上記第 1 の電圧制御発振手段の発振周波数を制御する第 1 の平滑手段と、上記第 1 の電圧制御発振手段の発振出力を第 3 の分周比で分周する第 3 の分周手段と、第 2 の中心周波数で発振する第 2 の電圧制御発振手段と、上記第 2 の電圧制御発振手段の発振出力を第 4 の分周比で分周する第 4 の分周手段と、上記第 3、第 4 の分周手段の分周出力を位相比較して第 2 の誤差信号を出力する第 2 の比較手段と、上記第 2 の誤差信号を平滑しその平滑出力で上記第 2 の電圧制御発振手段の発振周波数を制御する第 2 の平滑手段とを設けている。

【0011】また、本発明による他のクロック同期装置においては、 $60.00$  Hz 又は  $59.94$  Hz のフィールド周波数  $F_f$  を有する映像信号を処理するための選択的に入力される  $74.25$  MHz 又は  $74.25 / 1.001$  MHz の周波数を有する映像信号サンプリングクロックを所定の分周比で分周する第 1 の分周手段と、 $F_f = 60.00$  Hz のとき、上記第 1 の分周手段の出力周波数の  $n$  倍で且つ音声信号処理クロック周波数を  $1 / 1000$  m 分周した周波数の  $p$  倍となり、 $F_f = 59.94$  Hz のとき、上記第 1 の分周手段の出力周波数の  $n$  倍で且つ上記音声信号処理クロック周波数を  $1 / 1001$  m 分周した周波数の  $p$  倍となる発振周波数を出力する第 1 の電圧制御発振手段と、上記第 1 の電圧制御発振手段の出力周波数を  $1 / n$  分周する第 2 の分周手段と、上記第 1 の電圧制御発振手段の出力を  $1 / p$  分周する第 3 の分周手段と、上記第 1、第 2 の分周手段の分周出力の位相を比較して第 1 の誤差信号を出力する第 1 の位相比較手段と、上記誤差信号平滑しその平滑出力で第 1 の電圧制御発振手段の発振周波数を制御する第 1 の平滑手段と、上記音声信号処理クロック周波数を中心周波数として発振する第 2 の電圧制御発振手段と、上記第 2 の電圧制御発振手段の発振出力を上記映像フィールド周波数  $F_f$  に応じて  $1 / 1000$  m 又は  $1 / 1001$  m 分周する第 4 の分周手段と、上記第 3、第 4 の分周手段の分周出力を位相比較して第 2 の誤差信号を出力する第 2 の位相比較手段と、上記第 2 の誤差信号を平滑しその平滑出力で上記第 2 の電圧制御発振手段の発振周波数を制御する第 2 の平滑手段とを設けている。

【0012】また、本発明による記憶媒体においては、選択的に入力される第 1 又は第 2 の周波数を有するクロックを第 1 の分周比で分周する第 1 の分周処理と、第 1 の中心周波数で発振する第 1 の電圧制御発振処理と、上記第 1 の電圧制御発振処理の発振出力を第 2 の分周比で分周する第 2 の分周処理と、上記第 1、第 2 の分周処理の分周出力を位相比較して第 1 の誤差信号を出力する第 1 の比較処理と、上記第 1 の誤差信号を平滑しその平滑出力で上記第 1 の電圧制御発振処理の発振周波数を制御する第 1 の平滑処理と、上記第 1 の電圧制御発振処理の発振出力を第 3 の分周比で分周する第 3 の分周処理と、第 2 の中心周波数で発振する第 2 の電圧制御発振処理

と、上記第2の電圧制御発振処理の発振出力を第4の分周比で分周する第4の分周処理と、上記第3、第4の分周処理の分周出力を位相比較して第2の誤差信号を出力する第2の比較処理と、上記第2の誤差信号を平滑しその平滑出力で上記第2の電圧制御発振手段の発振周波数を制御する第2の平滑処理とを実行するためのプログラムを記憶している。

【0013】また、本発明による他の記憶媒体においては、60.00Hz又は59.94Hzのフィールド周波数Ffを有する映像信号を処理するための選択的に入力される74.25MHz又は74.25/1.001MHzの周波数を有する映像信号サンプリングクロックを所定の分周比で分周する第1の分周処理と、Ff=60.00Hzのとき、上記第1の分周処理の出力周波数のn倍で且つ音声信号処理クロック周波数を1/1000m分周した周波数のp倍となり、Ff=59.94Hzのとき、上記第1の分周処理の出力周波数のn倍で且つ上記音声信号処理クロック周波数を1/1001m分周した周波数のp倍となる発振周波数を出力する第1の電圧制御発振処理と、上記第1の電圧制御発振処理の出力周波数を1/n分周する第2の分周処理と、上記第1、第2の分周処理の分周出力の位相を比較して第1の誤差信号を出力する第1の位相比較処理と、上記誤差信号平滑して第1の電圧制御発振処理の発振周波数を制御する第1の平滑処理と、上記第1の電圧制御発振処理の出力を1/p分周する第3の分周処理と、上記音声処理クロック周波数を中心周波数として発振する第2の電圧制御発振処理と、上記第2の電圧制御発振処理の発振出力を上記映像フィールド周波数Ffに応じて1/1000m又は1/1001m分周する第4の分周処理と、上記第3、第4の分周処理の分周出力を位相比較して第2の誤差信号を出力する第2の位相比較処理と、上記第2の誤差信号を平滑化して上記第2の電圧制御発振処理の発振周波数を制御する第2の平滑処理とを実行するためのプログラムを記憶している。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面と共に説明する。図1は、本発明の実施の形態による映像サンプリングクロックFsvと音声処理用クロック

(Nfsa)とを同期させると共に、フィールド周波数Ffと音声サンプリング周波数Fsaとを同期させるクロック同期装置を示すブロック図である。図1において、11は第1の分周回路で、Ff=60.00Hz又は59.94Hzの場合に入力されるFsv=74.25MHz又は74.25/1.001(=74.18)MHzを分周して、適当な基準比較周波数Frv59又はFrv60を得る。ここでは分周比を、通常の映像処理に用いられる水平同期信号を得るために必要な1/2200とする。

【0015】また、音声サンプリング周波数Fsaを4

8KHzとすると、比較的良好に使用される音声処理用クロック周波数としてNfsa=256Fsaを使用する場合を例にとり、12.288MHzを電圧制御発振器20(以下、VCO2という)の中心発振周波数とする。

【0016】ここで、電圧制御発振器10(以下、VCO1という)は、上記の周波数条件において、

(1) Ff=60.00Hzの場合、Frv60のn倍で、音声処理用クロック周波数256Fsaを1000m分周した周波数のp倍

(2) Ff=59.94Hzの場合、Frv59のn倍で、音声処理用クロック周波数256Fsaを1001m分周した周波数のp倍

(n, m, pは正の整数)の両方を満たす場合のなかで、n=256、m=8、p=5625を選択した場合について説明する。

【0017】映像処理用発振器から入力されたFsv=74.25MHz又は74.25/1.001MHzのクロックは、第1の分周回路11において1/2200分周され、第1のPLL回路(PLL1)の基準比較周波数Frv59又はFrv60となって第1の位相比較器12に入力される。

【0018】このときVCO1は、上記第1のPLL回路の基準比較周波数の256(=n)倍の周波数である8.64MHz又は8.64/1.001MHzを出力し、この出力は第2の分周回路13で1/256分周された後、第1の位相比較器12に入力される。

【0019】第1の位相比較器12は、二つの入力の位相誤差を検出し、この誤差信号は第1の周波数制御回路14において増幅され、ループフィルタ(LPF)を通過して平滑された後、VCO1に帰還されて発振周波数を制御する。

【0020】ここで第1のPLL回路の比較周波数は、33.75KHz又は33.75/1.001KHzとなり、ループフィルタにより決められる利得周波数帯域限を高くすることができるので、第1のPLL回路は高速にロックし、VCO1の出力周波数は安定する。

【0021】また、VCO1の出力は、第3の分周回路21で1/5625分周され、第2の位相比較器22に入力される。VCO2の出力は、第4の分周回路23により、Ffが60.00Hzの場合は8000(m=8)分周され、59.94Hzの場合は8008分周されて、第2の位相比較器22に入力される。

【0022】第2の位相比較器22は、二つの入力の位相誤差を検出し、この誤差信号は第2の周波数制御回路24において増幅され、ループフィルタを通過して平滑された後、VCO2に帰還されて発振周波数を制御する。

【0023】ここで、第2のPLL回路(PLL2)の比較周波数は、1.536KHz又は1.536/1.

001KHzとなる。この比較周波数は、従来例における48Hzに比較して32倍であり、ループフィルタを最適に設計したとすると、VCO2の出力周波数、つまり音声処理用クロックの周波数が安定するまでの時間は、大幅に短縮されることになる。

【0024】従って、Fsvを第5の分周器15により分周して得られるFfと、VCO2を第6の分周器25により分周して得ることができるFsaとを、高速に安定して同期させることができる。

【0025】本実施の形態によれば、二重PLL構成をとることにより、映像フィールド周波数が59.94Hzであるか60.00Hzであるかにかかわらず、VCO1の発振周波数が前記条件内であれば、各位相比較器への比較周波数を高く設定することができるので、各PLL回路の引き込みが速くなり、映像サンプリングクロックと音声処理用クロックとを高速に同期させることができる。

【0026】尚、本実施の形態では、Fsa=48KHz、VCO2の中心発振周波数=12.288MHz

(256Fsa)として説明したが、Fsaが異なる場合、例えば32KHzであれば、音声処理クロック(VCO2)は、256Fsaとして8.192MHzとなり、上述したVCO1の条件からn=512、m=8、p=16875と設定することができる。

【0027】このときの第2のPLL回路の比較周波数は1.024KHz又は1.024/1.001KHzとなる。この比較周波数でも、通常使用には問題ないロック時間の短縮が実現可能である。

【0028】また、さらなるロック時間の短縮を実現するためには、mが1となるようなnとpの値を選択すればよい。このように本発明においては、先に示した条件を満たし、上記実施の形態が持つ機能が達成できれば、VCO1、2の周波数、分周比を限定するものではないことは言うまでもない。

【0029】次に、本発明による記憶媒体について説明する。上記図1に示す実施の形態は、ハードウェアで構成することもできるが、CPUとメモリを有するコンピュータシステムで構成することもできる。コンピュータシステムで構成する場合、上記メモリは本発明による記憶媒体を構成する。この記憶媒体には、上記各実施の形態で説明した動作を実行するためのプログラムが記憶される。

【0030】また、この記憶媒体としては、ROM、RAM等の半導体メモリ、光ディスク、光磁気ディスク、磁気記憶媒体等を用いてよく、これらをCD-ROM、FD、磁気カード、磁気テープ、不揮発性メモリカード等に構成して用いてよい。

【0031】従って、この記憶媒体を上記図1によるシ

ステム以外の他のシステムあるいは装置で用い、そのシステムあるいはコンピュータがこの記憶媒体に格納されたプログラムコードを読み出し、実行することによっても、上記実施の形態と同等の機能を実現できると共に、同等の効果を得ることができ、本発明の目的を達成することができる。

【0032】また、コンピュータ上で稼働しているOS等が処理の一部又は全部を行う場合、あるいは記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された拡張機能ボードやコンピュータに接続された拡張機能ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づいて、上記拡張機能ボードや拡張機能ユニットに備わるCPU等が処理の一部又は全部を行う場合にも、上記実施の形態と同等の機能を実現できると共に、同等の効果を得ることができ、本発明の目的を達成することができる。

【0033】

【発明の効果】以上説明したように、本発明によれば、フィールド周波数が59.94Hzであるか60.00Hzであるかにかかわらず、比較的高い比較周波数を設定して映像サンプリングクロックと音声処理用クロックとを高速にロックすることができるVCOを有する二重PLL構成をとることによって、映像フィールド周波数と音声サンプリング周波数とを短時間で同期させることができる。

【0034】従って、本発明は、HDTV映像音声処理装置に適用した場合、システム立ち上げ時やフィールド周波数が切り替えられた場合に、ストレスを感じない程度の短い待ち時間で音声処理動作が可能な状態にすることができる。

【図面の簡単な説明】

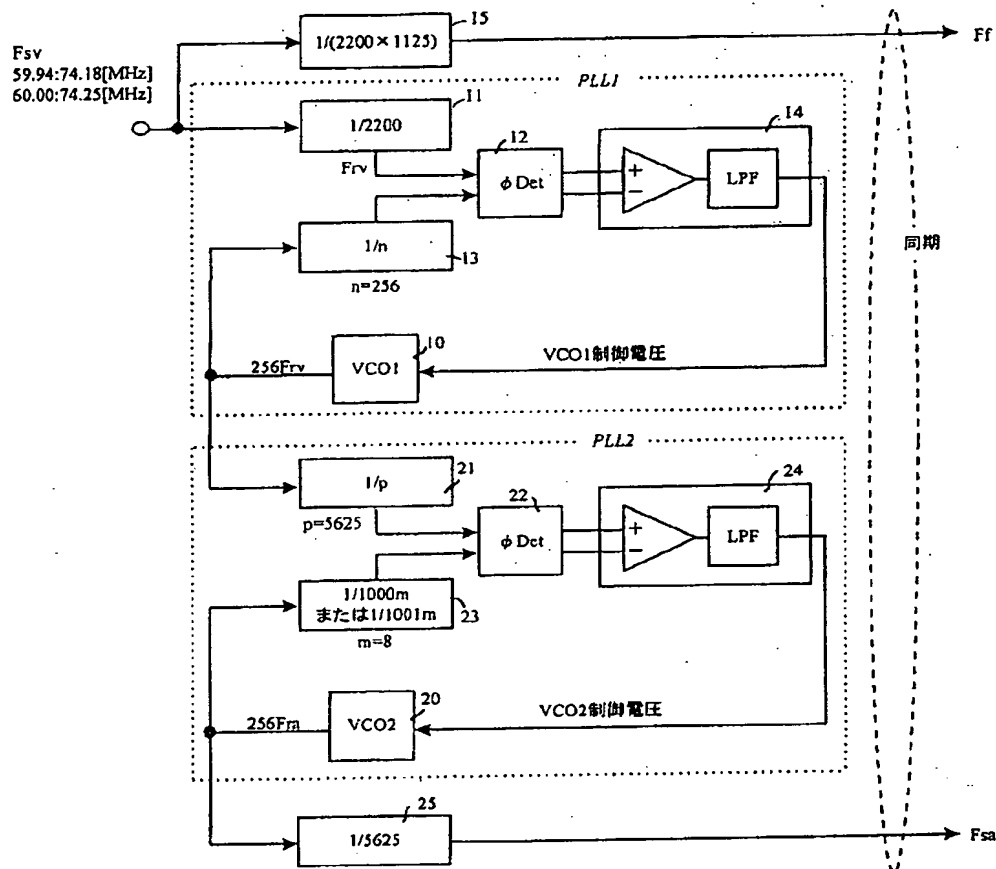
【図1】本発明の実施の形態によるクロック同期装置を示すブロック図である。

【図2】従来のクロック同期装置を示すブロック図である。

【符号の説明】

- 10 電圧制御発振器(VCO1)
- 11 第1の分周器
- 12 第1の位相比較器
- 13 第2の分周器
- 14 第1の周波数制御回路
- 15 第5の分周器
- 20 電圧制御発振器(VCO2)
- 21 第3の分周器
- 22 第2の位相比較器
- 23 第4の分周器
- 24 第2の周波数制御回路
- 25 第6の分周器

【図 1】



【図 2】

